

应用于 14bit SAR ADC 的高精度比较器的设计

陈幼青, 何明华

(福州大学 物理与信息工程学院, 福建 福州 350000)

摘要: 基于预防大锁存理论, 设计了一款带有三级前置运算放大器和 latch 再生电路的高精度比较器. 为了实现高精度, 采用了输入失调储存 (IOS) 和输出失调储存 (OOS) 级联的消失调方法, 有效降低了比较器的输入失调电压. 传统的比较器动态失调测试方法非常耗时, 为此采用新的带负反馈网络的动态失调测试电路, 从而大大提高了比较器的设计和仿真效率. Hhnc CZ6H (0.35 μm) 工艺下, 仿真表明, 比较器能够分辨的最小信号为 33.2 μV , 满足 14 bit SAR ADC 对比较器的性能要求.

关键词: SAR; 比较器; 动态失调测试电路

中图分类号: TN432

文献标识码: A

文章编号: 1000-7180(2011)06-0109-04

Design of High-resolution Comparator Applied in 14 bit SAR ADC

CHEN You-qing, HE Ming-hua

(College of Physics and Information Engineering, Fuzhou University, Fuzhou 350000, China)

Abstract: Based on preamplifier-latch theory, a high-resolution comparator with three pre-amplifiers and a latch is presented. In order to achieve high-resolution, both IOS and OOS offset cancellation technique is used, which successfully decreases the input offset voltage. The traditional dynamic offset test method is time consuming, so a new dynamic offset test bench containing a negative feedback loop is adopted, which efficiently speeds up the design and simulation. The simulation results show that comparator can distinguish 33.2 μV under hhnc CZ6H (0.35 μm) process. It is suitable for the 14 bit SAR ADC.

Key words: SAR; comparator; dynamic offset test bench

1 引言

SAR 型 ADC 具有中等速度、中等精度、低功耗、低成本等综合优势^[1-2], 在工业测控仪器、医疗成像设备、安防安检系统中中低速数据采集和信号处理系统中具有广泛的应用, 此外, 还可作为 ADC IP 核广泛应用于 SoC 中^[3]. 比较器是 SAR ADC 的关键模块, 它在很大程度上直接影响了 AD 转换器的各项性能参数, 如速度、精度、功耗等. 对于 12 bit 以上的 SAR 型 ADC, 除了要进行数字校准之外, 对比较器的结构设计、输入失调电压处理提出了更大的挑战.

14 bit SAR ADC 要求比较器的分辨率达到 16 bit 以上. 为了达到 16 bit 的比较精度, 同时满足整个 ADC 200 kS/s 的速度要求, 比较器采用了带三级前置运算放大器和 latch 再生电路的比较器结构, 同时采用输入失调储存和输出失调储存级联的消失调技术.

2 比较器的电路结构和输入失调电压处理

传统的比较器有运放结构的开环比较器和 latch 锁存再生的闭环比较器. 运放结构的比较器具有精度较高、失调电压较小等优点^[4], 对小信号响应速度快, 但对于大信号响应速度慢, 输出电压与时

收稿日期: 2010-08-20; **修回日期:** 2010-11-01

基金项目: 福建省自然科学基金重点项目 (2007J0003); 福建省自然科学基金 (2009J05143); 福建省新世纪优秀人才支持计划项目 (XSJRC2007-26)

间成负指数关系. Latch 比较器对小信号响应慢,但由于使用了正反馈,对大信号响应速度比较快,输出电压与时间成正指数关系,但它的失调电压较大,容易受噪声干扰,对于 14bit 的 SAR 型 ADC,比较器单独使用运放结构的比较器或者 latch 锁存比较器,都无法达到要求,因此需要将两种比较器结构级联,即预放大锁存比较器结构^[5-6]. 预放大级对输入信号逐级放大,当信号被放大到 Latch 再生电路能够有效识别的幅度时, Latch 电路再通过正反馈将信号迅速放大到数字电路能够有效识别的幅度. 此外,比较器输入端与 latch 再生电路通过前置运放进行隔离,有效降低了 latch 再生电路回程噪声的影响^[7].

对于高精度 ADC,比较器通常要进行失调处理. latch 级的失调电压一般在 50~100 mV,运放的失调电压大约为 5~20 mV. latch 级的失调电压除以预放大的增益后,等效到比较器输入端的失调电压变得很小. 因此,对于此种电路结构,主要是要消除运放的失调电压的影响. 常用的失调电压消除方法有两种,一种是输入失调储存(IOS),一种是输出失调储存(OOS)^[6]. IOS 是将失调电压储存在输入耦合电容上, OOS 是将失调电压储存在输出耦合电容上. Latch 级的失调电压通常比较大,常常要求前面预放大级的增益足够大,但是 IOS 的速度相对比较慢,而 OOS 中的预放大级增益不能太大,否则电容上的电压饱和后无法反映失调电压的真实大小. 鉴于此,同时考虑速度问题,采用三级前置运放,这样可以将增益分配到各个运放,每个运放的增益都不需要太大^[8],同时采用输入失调存储和输出失调存储级联的办法消除输入失调电压的影响,如图 1 所示.

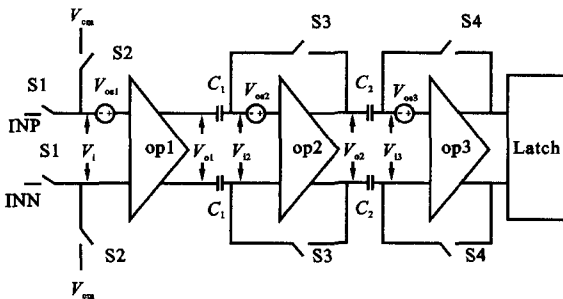


图 1 比较器的结构

图 1 中, op1、op2、op3 是三个前置运算放大器,增益大小分别设为 A_1 、 A_2 和 A_3 ; C_1 和 C_2 是失调校准电容. 失调校准时,开关组 S1 断开, S2、S3、S4 开关组闭合,此时比较器输入共模电平, op1 的差分输

入是 V_{os1} , 差分输出是 V_{o1} ; op2 的差分输入是 V_{os2} 和 V_{o2} , 差分输出是 V_{o2} ; op3 的差分输入是 V_{os3} 和 V_{o3} , 差分输出是 V_{o3} , 那么,

$$V_{o1} = V_{os1}(-A_1) \quad (1)$$

$$(V_{o2} + V_{os2})(-A_2) = V_{o2} \quad (2)$$

$$(V_{o3} + V_{os3})(-A_3) = V_{o3} \quad (3)$$

正常工作时,开关组 S2、S3、S4 断开, S1 闭合, op1 的差分输入是 V_{os1} 和需要比较的信号 V_i , 差分输出为 V_{o1}' ; op2 的差分输入是 V_{os2} 和 V_{i2} , 差分输出是 V_{o2}' ; op3 的差分输入是 V_{os3} 和 V_{i3} , 输出是 V_{o3}' ; 此时第一级到第三级的增益变为 A_1' 、 A_2' 、 A_3' . 那么,

$$V_{o1}' = (V_{os1} + V_i)(-A_1') \quad (4)$$

$$V_{o2}' = (V_{os2} + V_{i2})(-A_2') \quad (5)$$

$$V_{o3}' = (V_{os3} + V_{i3})(-A_3') \quad (6)$$

由于正常工作的时候, op2 和 op3 的输入是 high 阻节点, 因此 C_1 和 C_2 上的电荷保持不变, 因此有,

$$V_{o1} - V_{o2} = V_{o1}' - V_{i2} \quad (7)$$

$$V_{o2} - V_{o3} = V_{o2}' - V_{i3} \quad (8)$$

由以上八个式子可求得

$$\Delta V_{os3} = V_{i3} + V_{os3} - V_i A_1' A_2' = (A_1' - A_1) A_2' V_{os1} + \frac{A_2' - A_2}{1 + A_2} V_{os2} + \frac{1}{1 + A_3} V_{os3} \quad (9)$$

对于整个比较器系统,关注的是失调处理后第三级运放输入端的残余输入失调电压,由上式可知,由于增益变化使得第一和第二级运放的输入失调电压未消除干净. 考虑 latch 级的失调电压和开关注入到电容上的失调电荷(设开关注入到 C_1 和 C_2 上的失调电荷分别为 ΔQ_2 、 ΔQ_3), 将残余输入失调电压等效到第一级运放的输入端, 可得

$$\Delta V_{os,eq} = \frac{A_1' - A_1}{A_1'} V_{os1} + \frac{A_2' - A_2}{(1 + A_2) A_1' A_2'} V_{os2} + \frac{1}{(1 + A_3) A_1' A_2'} V_{os3} + \frac{V_{osL}}{A_1' A_2' A_3'} + \frac{\Delta Q_2}{A_1' A_2' C_2} + \frac{\Delta Q_3}{A_1' A_2' C_2} \quad (10)$$

由上式可知,暂不考虑增益变化的影响,失调处理后,比较器残余的等效输入失调电压主要受第三级运放、latch 的失调电压和开关注入到电容上的失调电荷的影响. 对于第二级运放,既有输入失调存储,又有输出失调存储. 级联处理后,第二级运放的输入失调电压被消除干净,而第三级运放和 latch 级的失调电压除以增益 $A_1' A_2' A_3'$, 等效到输入端失调电压变得很小.

考虑 DAC 输入到比较器的最后一次比较信号

的幅度,若与消失调处理时加的共模电平相差比较大,第二级运放由于增益变化造成的残余失调电压除以分母的增益,值很小,可以忽略不计。但是,第一级运放由于增益变化造成的残余失调电压对于高精度比较器来说,是最致命的影响因素,要求第一级运放运放的版图设计高度对称,并且使用大尺寸管子,减小失配,或者处理 DAC 的输出信号幅度,减小增益变化的影响。

3 比较器的电路设计

SAR ADC 的参考电压为 2.5 V,对比较器精度的要求为 16 bit,那么, $1/2\text{LSB} \approx 38 \mu\text{V}$, latch 级的失调电压大约为 50~100 mV,设 latch 失调电压 100 mV,并考虑余量设计,要达到相应的比较精度,将前置运放的总增益设为 80 dB,因为第一运放要对小信号进行快速响应,带宽设计比较大,但增益比较小,设为 20 dB,后两级都为 30 dB,并考虑 latch 再生时产生的回程噪声,第二、三级采用 cascode 结构,由于中间隔离了两个运放,回程噪声对第一级运放的影响很小,且考虑 DAC 的输出信号幅度,第一级运放就不采用 cascode 结构。运放都采用了带弱正反馈的电路结构,输出端增加了过驱动恢复开关,如图 2 所示,其中图(a)是第一级运放结构,图(b)是第二、三级运放结构。

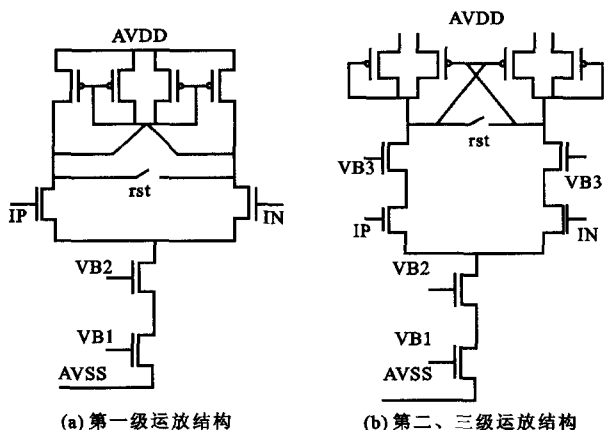


图2 前置运算放大器的电路结构

图3是 latch 再生电路和输出波形整形电路。Latch 再生电路是两个反相器首尾连接的电路结构,并通过时钟控制来实现采样和再生两个工作状态。Latch 采样时,开关 S3 和 S4 断开, S1 和 S2 闭合,预防大级输出的信号输入到 latch 再生电路的输入节点上,再生锁存时, S1 和 S2 打开, S3 和 S4 闭合, latch 电路迅速锁存再生,然后通过钟控 SR 锁存器和反相器进行输出波形整形。

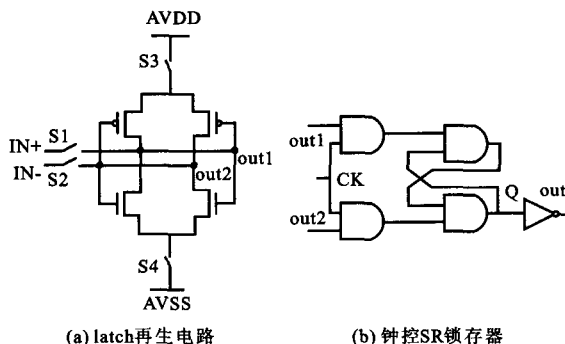


图3 latch 再生电路和钟控 SR 锁存器

4 比较器的输入失调电压仿真和结果分析

比较器的工作过程可分为消失调处理和正常比较两个阶段,比较器的输入失调电压包括静态失调电压,如管子的阈值电压失配造成的 DC 失调,以及动态失调电压,如开关电荷注入等,因此,无法像传统的运放结构比较器那样进行 DC 扫描,从而得到输入失调电压。这种动态比较器的输入失调电压通常只能通过瞬态仿真,一次又一次的尝试,看比较器能够分辨的最小信号为多少,这种逐次逼近的测试方法,在多个 corner 仿真和参数扫描时,工作量非常大,仿真效率很低。

为了提高仿真效率,采用带负反馈网络的动态失调测试电路。图4是测试电路原理图。差分放大器将比较器的输出信号“0”和“1”信号转为“-1”和“1”信号,从而改变积分器的积分方向,即,积分器的输出信号的斜率的正负,积分器的输出信号加到比较器的负端,差分放大器和积分器构成了负反馈网络,通过负反馈使整个测试系统最终达到平衡状态。这样,只要仿真一次就可以获得比较器的输入失调电压。平衡时,积分器的输出信号必然穿越让比较器输出发生翻转的实际阈值电压,此时,积分器输出信号与比较器的正端输入信号的差值的平均值,就是比较器的等效输入失调电压。

比较器的失调电压是由于电路元件的失配造成的,这种失配通常是随机的,在流片前,无法测出真正的失调电压,因此,动态失调电压测试前,可以先用 Monte carlo 方法将运放的 DC 失调电压范围测出来,然后系统失调仿真时,通过人为加等效的直流电压源模拟前置运放和 latch 的失调电压。图5是比较器在 MOS 工艺的 corner 为 ss,电容为 tt_mip,直流电压源变化 10%,即 5.5 V,温度为 -40 °C 情况下的比较器输入失调电压仿真结果,该情况是多个 corner 仿真、电源电压和温度参数扫描最坏的一

种情况,由图示可知,该情况下比较器失调处理后残余的等效输入失调电压为 $33.2 \mu\text{V}$,满足精度要求。

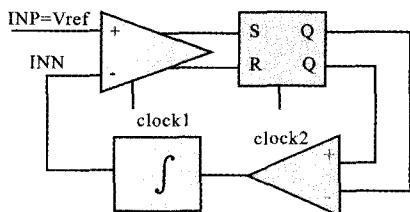


图4 钟控比较器动态失调测试电路

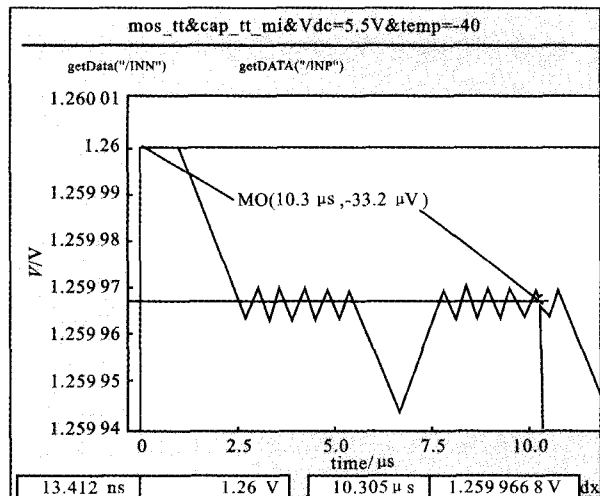


图5 比较器输入失调电压仿真结果

5 结束语

通过采用三级前置运算放大器和 latch 再生电路的比较器结构以及输入失调储存和输出失调储存级联的消失调技术,实现了高精度要求。带负反馈网络的动态失调电压测试电路有效提高了设计和仿真

效率。仿真表明,比较器能够分辨的最小信号为 $33.2 \mu\text{V}$,满足 14 bit SAR ADC 对比较器的精度要求,但是比较器的速度只有 30 MHz,可以进一步优化设计,实现高速高精度,扩大比较器的应用范围。

参考文献:

- [1] 裴晓敏. 8 通道 10 b 的 R-C 混合式 SAR ADC 的设计[J]. 现代电子技术, 2008(9): 83-85.
- [2] 陈娟娟, 钟德刚, 徐静平. 用于便携式设备的 12 位低功耗 SAR A/D 转换器[J]. 微电子学, 2008, 38(3): 401.
- [3] Long Shanli, Wu Jianhui, Xia Xiaojuan, et al. A 1.8-V 3.1 mW successive approximation ADC in system-on-chip[J]. Analog Integrated Circuits and Signal Processing, 2008, 56(3): 205-2011.
- [4] 冯楚华, 陶建中, 于宗光. 一种用于数字功放的低功耗宽输入电压比较器[J]. 微电子学与计算机, 2008(11): 109-112.
- [5] 殷湛, 郭立, 杨吉庆. 一种用于流水线 ADC 的高速电压比较器[J]. 微电子学与计算机, 2006(2): 182-184.
- [6] 孙彤, 李冬梅. 一种 0.2-mV 20-MHz 600-μW 比较器[J]. 微电子学, 2007, 37(2): 270-272.
- [7] 李亮, 臧佳峰, 徐振, 等. 高速低功耗钟控比较器的设计[J]. 半导体技术, 2008, 33(1): 11-13.
- [8] 林武平, 郭良权, 于宗光. 新型高速低功耗动态比较器[J]. 半导体技术, 2008, 33(12): 1119-1120.

作者简介:

陈幼青 女, (1983-), 硕士研究生. 研究方向为模拟集成电路设计.

何明华 男, (1971-), 博士, 教授. 研究方向为嵌入式系统与系统级芯片设计.

(上接第 108 页)

- [7] 鲁云平, 宋军, 姚雪梅. 基于免疫原理的网络入侵检测算法改进[J]. 计算机科学, 2008, 35 (9): 116-119.
- [8] 蔡涛, 鞠时光, 仲巍, 等. 面向存储安全系统的新型人工免疫算法[J]. 计算机科学. 2008, 35 (8): 60-63.
- [9] 陈云芳, 王汝传. 基于免疫算法的分类器设计[J]. 计算机科学, 2008, 35 (12): 133-135.
- [10] 陈君波, 叶庆卫, 周宇, 等. 一种新的混合变异粒子群算法[J]. 计算机工程与应用, 2007, 43 (7): 59-60.

作者简介:

许小润 女, (1982-), 硕士. 研究方向为数字图像处理、模式识别.

吴贵芳 男, (1978-), 博士, 副教授. 研究方向为数字图像处理、模式识别.

张庆华 男, (1964-), 硕士, 高级工程师. 研究方向为机器视觉.